



JP61050295

Biblio

Page 1

Drawing

esp@cenet

ERROR DETECTING CORRECTION SYSTEM OF SEMICONDUCTOR MEMORY

Patent Number: JP61050295
Publication date: 1986-03-12
Inventor(s): NATORI KENJI
Applicant(s): TOSHIBA CORP
Requested Patent: ☒ JP61050295
Application Number: JP19840172732 19840820
Priority Number(s):
IPC Classification: G11C29/00; G06F11/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To enable errors to be detected and corrected according to 1 bit inferiority detecting and correcting system every group by dividing memory cells having neighboring column addresses of semiconductor memory into different groups.

CONSTITUTION: In RAM of 16 bit, a memory cell is disposed at a matrix of 4096X4096, reads out data group of 4096 bits, by the same load address, and they divided into a 16 groups. In this case, memory cells having neighboring column addresses are usually assigned to different groups. The same groups are assigned to memory cells of 256 having 16 address space of the column address. To each groups a horizontal and vertical parity system is applied to detect and correct errors. By using this system, there is less possibility of continuous inferiority of more than 16 bits. According to this, all of the inferior bits can be detected and corrected to avoid soft errors completely.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-50295

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月12日

G 11 C 29/00
G 06 F 11/10

7737-5B
7368-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体メモリの誤り検出訂正方式

⑯ 特 願 昭59-172732

⑰ 出 願 昭59(1984)8月20日

⑱ 発 明 者 名 取 研 二 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体メモリの誤り検出訂正方式

2. 特許請求の範囲

複数のメモリセルがマトリクス状に配置されてなり、外部から上記メモリセルの番地を指定するアドレス信号がローアドレス信号とコラムアドレス信号とに区別される半導体メモリにおいて、同一のローアドレスを有する複数のメモリセルを同一個数のメモリセルからなる複数のグループに分けるに際してコラムアドレスが隣り合うメモリセルを異なるグループに分け、この各グループ内のメモリセルを仮想的にマトリクス配置上に並べたときに、グループ内の各行、各列のデータの和によって定められるパリティビットを検査ビットとし、グループ内の1つの被検査メモリセルの記憶データに不良があるか否かを検出し、不良があれば訂正することを特徴とする半導体メモリの誤り検出訂正

方式。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体メモリ、特にチップ上に誤り検出訂正符号を搭載した半導体メモリにおける誤り検出訂正方式に関する。

〔発明の技術的背景〕

近年、半導体メモリの高集積化に伴って、メモリ内のデータにソフト性の不良が含まれる確率が無視できなくなっている。特に、宇宙線や自然界の α 線によって引き起こされるソフトエラーは、メモリの微細化に伴って激増する可能性が高い。これらに対処する有効な方法として、チップ上に誤り検出訂正符号(ECC; エラーコレクティングコード)を搭載する技術が、たとえばIEEE JOURNAL OF SOLID STATE CIRCUITS, SC-18 OCTOBER 1983, T.MANO, J.YAMADA, J.INOUE and S.NAKAJIMA, "Circuit Techniques for a VLSI Memory"に開示されている。この方法は、たとえば縦(コラム)方向、横(ロー)方向512ビット

ずつのメモリセルが正形状に配設された256kビットのダイナミックメモリにおいて、一組のローアドレスによって選択される512ビットのメモリセルを第2図に示すように(但し、第2図にはメモリセルに対応するデータの一例を示す)16ビット×32ビットの矩形状マトリクス配置にしたがって仮想的に並べ、その各行、各列毎にデータの和をとった結果に応じて付加するパリティ(奇数パリティあるいは偶数パリティ)ビットを検査ビット(本例では48ビット)として検査ビット用メモリ領域に記憶しておく。そして、読み出しに際しては、読み出しビットが前記矩形状マトリクス配置内のたとえば1行、1列に属するならば、その1行のデータと1列のデータの全ておよび1行、1列それぞれの検査ビットを外部に読み出す。次に、上記の読み出された1行のデータから1行のパリティビットを算出し、この算出ビットを前記の1行の検査ビットと比較する。この検査ビットは、前記1行、1列のビットに対応するメモ

リセルにデータを書き込む際に算出されたパリティビットである。したがって、読み出し時に算出したパリティビットと検査ビットとが一致しなければ、上記メモリセルに対してデータを書き込んでからそのデータを読み出すまでの間に、上記メモリセルのデータが属する前記1行のデータ群のいずれかあるいは1行の検査ビットが変化したことになる。同様に、前記読み出された1列のデータから1列のパリティビットを算出し、これを1列の検査ビットと比較することにより、1列のデータ群および1列の検査ビットについて誤りビットの有無を検出する。

なお、前記第2図のマトリクス配置上の同一の行あるいは列に、2ビットあるいはそれ以上の偶数ビットの不良が存在する場合には、前記算出したパリティビットは不良ビットがないときと同じになって不良検出ができないが、このような2ビット以上の誤りの起こる確率が極めて小さければこの不良検出ができないことは事実上無視できる。したがって、前記行、列の両

方の検査ビットに対して誤りが検出された場合のみ、行と列の交点のデータが誤りであると判定してそのデータの"1"あるいは"0"を反転して正しいデータとして出力すればよい。この場合、メモリ内に再書き込みを行なうための回路を構成しておけば、メモリ内のデータの誤りを検出して訂正できる機能を有するメモリを実現できる。

上述したような誤り検出訂正方式は、所謂、水平垂直パリティ方式と称されており、この方式により誤り検出訂正を行なう機能が実際にLSIに組み込まれている。

(背景技術の問題点)

ところで、上述した水平・垂直パリティ方式の誤り検出訂正方式においては、一組のローアドレスに対応してワード線が選択されることによって、このワード線により選択されるメモリセル群からビット線群を介してセンスアンプ群に読み出されるデータの組に対して水平・垂直パリティビットの算出を行なう。

然るに、従来の誤り検出訂正方式は、上記データの組に前述したように1ビットの不良がある場合には不良の検出、訂正が可能であるが、2ビット以上の不良がある場合には不良の検出、訂正が不可能となってその機能を有する。

一方、メモリの大容量化(たとえば16MビットRAM)によるメモリセルの微細化に伴って前記不良の発生の可能性が高くなり、しかもたとえば1個の α 粒子により複数のメモリセルが不良となる確率が非常に大きくなることが指摘されている(たとえば、IEEE JOURNAL OF SOLID STATE CIRCUITS, SC-17 APRIL 1982, G.A.Sai-Halasz, M.W.Wordeman & R.H.Dennard "Alpha-Particle-Induced Soft Error Rate in VLSI Circuits")。即ち、誘発した複数のメモリセルに塊状に α 線ソフトエラーが生じることになり、当然にワード線に沿った隣接番地のメモリセルに不良が生じる可能性が高くなり、このような α 線ソフトエラーによる不良の増大に対して、前述したような1ビッ

不良検出方式による従来の誤り検出訂正方式では十分な阻止力を発揮できないおそれがあった。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、連続する複数のメモリセルに現状にソフトエラーが発生した場合でも、水平垂直パリティ方式のような1ビット不良検出方式により不良検出、訂正が可能な半導体メモリの誤り検出訂正方式を提供するものである。

〔発明の概要〕

即ち、本発明は、複数のメモリセルがマトリクス状に配置されてなり、外部から上記メモリセルの番地を指定するアドレス信号がローアドレス信号とカラムアドレス信号とに区別される半導体メモリにおいて、同一のローアドレスを有する複数のメモリセルを同一個数のメモリセルからなる複数のグループに分けるに際してカラムアドレスが隣り合うメモリセルを異なるグループに分け、この各グループ内のメモ

り、^{すなわ}隣りカラムアドレスが隣り合うメモリセルを必ず異なるグループに割り当てるものとし、たとえば同一ワード線に沿った連続する16個のメモリセルを16個のグループに1個ずつ割り当てることによって、同一グループにはカラムアドレスが16番地間隔である256個のメモリセルを割り当てるものとする。このメモリセルの割り当てに対応するデータの割り当ての様子を第1図に示している。

そして、上記各グループに水平垂直パリティ方式を適用して誤り検出訂正を行なう。この場合、それぞれたとえば行、列方向が各16ビットの正方形マトリクス配置にしたがって仮想的に並べると、行、列方向の検査ビットはそれぞれ16ビットのデータの加算結果により定められ、1グループの検査ビットは32個であり、4096ビットのデータをチェックするために必要なグループ全体の検査ビット数は512ビットである。

なお、上述した誤り検出訂正方式にしたがっ

りセルのデータに対して水平垂直パリティ方式を適用したことを特徴とするものである。

したがって、同一のローアドレスを有する連続する数個のメモリセルにソフトエラーが生じた場合でも、これらの不良ビットは必ず異なるグループに分かれ、グループ内の不良ビットは1個になるので、各グループ単位で1ビット不良検出訂正方式による誤り検出訂正が可能になる。

〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

たとえば16MビットのRAMにおいて、メモリセルは4096×4096のマトリクス状に配置されており、同一のローアドレスで4096ビットのデータ群を読み出すものとする。そして、これらのデータ群に対応するメモリセル群を同一個数の複数グループ（たとえばそれぞれ256個のメモリセルを有する16個のグループ）に分けるものとする。この場合、物理的に隣り合

て、書き込みデータに対する検査ビットの算出、当該検査ビットの書き込み（実際には既に書き込まれている検査ビットを反転させる必要があるときに反転させる）、同一ローアドレスの読み出しデータ群に対するグループ分け、読み出しデータが属するグループにおける読み出しデータの属する行、列のパリティビットの算出、このパリティビットと検査ビットとの比較、比較結果に基づく不良ビットの判定、必要に応じて不良ビットの訂正などの各処理を行なうECC回路がメモリの一部（通常はI/O回路付近）に設けられる。

次に、従来例の誤り検出訂正方式と本発明の誤り検出訂正方式とを比較してみる。メモリLSIのパッケージなどから放出された単一のα粒子がメモリチップのメモリセルアレイ部に入射したときに作られる電子、正孔対によってソフトエラーを起こす。メモリの集積度が低い場合は高々1ビットのデータが不良となるにとどまっていたが、高密度に集積化されたメモリでは

